

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-033657

(43)Date of publication of application : 31.01.2002

(51)Int.Cl.

H03L 7/08
H03L 7/099
H04L 7/033
H04N 5/06
H04N 5/12

(21)Application number : 2000-213920

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 14.07.2000

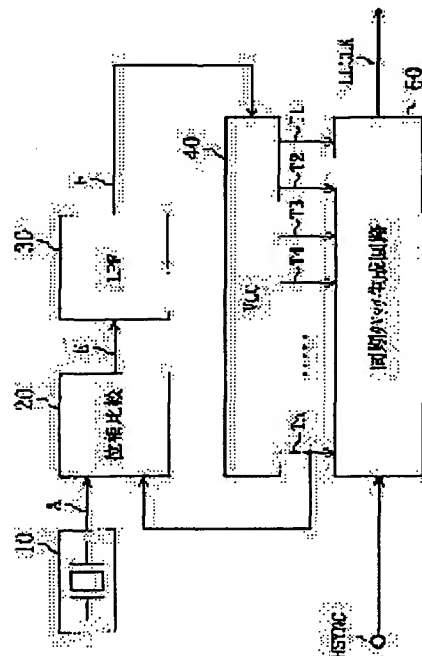
(72)Inventor : MATSUMURA TOSHIHIRO

(54) PLL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a PLL circuit that can output a line lock clock signal with a very high multiple number synchronously with a horizontal synchronizing signal in a system such as a TV or a VTR without deteriorating the quality of the clock signal such as jitter.

SOLUTION: The PLL circuit receives a horizontal synchronizing signal (HSYNC) and outputs a line lock clock signal (LLCLK) synchronously with the horizontal synchronizing signal. A clock oscillation circuit 10 sets a frequency for the LLCLK desirably to be outputted and applies an oscillation clock signal A to a phase comparator circuit 20. The PLL circuit is realized with the phase comparator circuit 20, an LPF 30, and a VCO 40. The VCO 40 consists of n-sets of unit circuits whose delay is variable and that are connected in a ring. A synchronizing clock generating section 60 selects a tap output with a phase closest to a phase of the HSYNC signal among n-sets of VCO tap outputs T1-Tn and provides an output of the selected tap output as the LLCLK signal.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(誌+要約+請求の範囲)

(19)【発行国】日本国特許庁(JP)
 (12)【公報種別】公開特許公報(A)
 (11)【公開番号】特開2002-33657(P2002-33657A)
 (43)【公開日】平成14年1月31日(2002. 1. 31)
 (54)【発明の名称】PLL回路
 (51)【国際特許分類第7版】

H03L 7/08
 7/099
 H04L 7/033
 H04N 5/06
 5/12

【FI】

H04N 5/06 Z
 5/12 B
 H03L 7/08 H
 F
 H04L 7/02 B

【審査請求】未請求**【請求項の数】3****【出願形態】OL****【全頁数】6**

(21)【出願番号】特願2000-213920(P2000-213920)

(22)【出願日】平成12年7月14日(2000. 7. 14)

(71)【出願人】

【識別番号】000005821

【氏名又は名称】松下電器産業株式会社

【住所又は居所】大阪府門真市大字門真1006番地

(72)【発明者】

【氏名】松村 俊浩

【住所又は居所】大阪府門真市大字門真1006番地 松下電器産業株式会社内

(74)【代理人】

【識別番号】100077931

【弁理士】

【氏名又は名称】前田 弘(外7名)

【テーマコード(参考)】

5C020
 5J106
 5K047

【Fターム(参考)】

5C020 AA17 AA37 CA11 CA16

5J106 AA04 BB04 CC01 CC15 CC21 CC38 CC41 DD09 DD26 FF07 JJ01 KK05 KK25 KK36 LL01

5K047 AA06 CC08 CC12 DD02 GG02 GG07 GG09 GG11 GG29 MM36 MM46 MM50 MM53 MM63

(57)【要約】

【課題】TVやVTRなどのシステムにおいて、水平同期信号に同期した非常に高い遅倍数のラインロッククロック信号を、ジッタなどのクロック品質を劣化させずに出力させる。

【解決手段】水平同期(HSYNC)信号を入力とし、これに同期したラインロッククロック(LLCLK)信号を出力する。クロック発振回路10は、LLCLK信号として出力させたい周波数を設定するための回路であり、位相比較回路20へ発振クロック信号Aを供給する。この位相比較回路20と、LPF30と、VCO40とでPLLを実現する。VCO40は、遅延量可変のn個の単位回路をリング状に接続してなる。同期クロック生成回路60は、n個のVCOタップ出力T1～Tnの中からHSYNC信号に最も近い位相を持つタップ出力を選択し、これをLLCLK信号として出力する。

【特許請求の範囲】

【請求項1】第1のクロック信号と第2のクロック信号との位相を比較して位相誤差信号を供給するための位相比

較手段と、各々前記位相誤差信号に応じて遅延量が変化する複数の可変遅延回路を所望の周波数で発振するようにリング状に接続してなり、かつ前記可変遅延回路の出力のいずれかを前記第2のクロック信号として帰還するための発振手段と、前記可変遅延回路の出力の中から、位相の基準となる信号に最も近い位相を持つ出力を選択するための選択手段とを備えたことを特徴とするPLL回路。

【請求項2】請求項1記載のPLL回路において、前記位相誤差信号に対応した電流を発生するための電流発生手段を更に備え、前記複数の可変遅延回路の各々は、前記電流発生手段の発生する電流に応じて抵抗が変化する可変抵抗手段と、前記可変抵抗手段に流れる電流が変化することにより遅延量が変化する論理反転手段とを備えたことを特徴とするPLL回路。

【請求項3】請求項2記載のPLL回路において、前記論理反転手段は、互いに直列に接続された第1のPチャンネル型MOSTランジスタと第1のNチャンネル型MOSTランジスタとを備え、前記可変抵抗手段は、前記第1のPチャンネル型MOSTランジスタに直列に接続された第2のPチャンネル型MOSTランジスタと、前記第1のNチャンネル型MOSTランジスタに直列に接続された第2のNチャンネル型MOSTランジスタとを備え、前記第2のPチャンネル型MOSTランジスタ及び第2のNチャンネル型MOSTランジスタの各々のゲートに前記電流発生手段の電流制御信号が与えられるように構成されたことを特徴とするPLL回路。

詳細な説明

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ある基準信号に同期したクロック信号を生成するためのクロック生成方式に関し、特にPLL(phase locked loop)回路に関するものである。

【0002】

【従来の技術】テレビジョン(TV)やビデオテープレコーダ(VTR)などのシステムでは、水平同期信号に同期し、かつその周波数に比べて非常に高い周波数を持つクロック信号が必要とされる。例えばラインロッククロック信号では、水平周波数を910倍、1820倍などに通倍する必要がある。

【0003】特開平1-91519号公報には、VTRにおける時間軸補正装置のクロック発生部に効果的に使用し得るクロック発生技術が開示されている。この技術によれば、複数のインバータを直列に接続して初段インバータにクロック信号を入力し、各インバータからそれぞれ位相の異なる複数のクロック信号を得て、VTRから再生された水平同期信号又はバースト信号とほぼ同位相のクロック信号を選択する。

【0004】

【発明が解決しようとする課題】上記従来技術によれば、各インバータの遅延量を制御することができなかったため、クロック信号の高い時間精度が要求されるシステムでは問題があった。半導体製造条件のばらつきなどに起因して各インバータの遅延量にばらつきが生じるばかりでなく、半導体の使用条件、つまり温度や電源電圧レベルなどによっても各インバータの遅延量が変動してしまうからである。

【0005】本発明の目的は、基準信号に同期したクロック信号を生成し、かつ該基準信号に比して非常に高い通倍数のクロック信号であってもジッタなどのクロック品質を劣化させずに出力させることにある。

【0006】

【課題を解決するための手段】上記課題を解決するために、本発明は、複数の可変遅延回路でリングオシレータを構成し、そのタップ出力の中から基準信号に最も近い位相を持つ出力を選択することとしたものである。

【0007】具体的に説明すると、本発明のPLL回路は、第1のクロック信号と第2のクロック信号との位相を比較して位相誤差信号を供給するための位相比較手段と、各々位相誤差信号に応じて遅延量に変化する複数の可変遅延回路を所望の周波数で発振するようにリング状に接続してなり、かつ可変遅延回路の出力のいずれかを前記第2のクロック信号として帰還するための発振手段と、可変遅延回路の出力の中から位相の基準となる信号に最も近い位相を持つ出力を選択するための選択手段とを備えた構成を採用したものである。

【0008】好ましくは、位相誤差信号に対応した電流を発生するための電流発生手段を更に備え、複数の可変遅延回路の各々は、電流発生手段の発生する電流に応じて抵抗が変化する可変抵抗手段と、該可変抵抗手段に流れる電流が変化するにより遅延量に変化する論理反転手段とを備える。

【0009】上記論理反転手段は、互いに直列に接続された第1のPチャンネル型MOSTランジスタと第1のNチャンネル型MOSTランジスタとを備える。上記可変抵抗手段は、第1のPチャンネル型MOSTランジスタに直列に接続された第2のPチャンネル型MOSTランジスタと、第1のNチャンネル型MOSTランジスタに直列に接続された第2のNチャンネル型MOSTランジスタとを備える。そして、第2のPチャンネル型MOSTランジスタ及び第2のNチャンネル型MOSTランジスタの各々のゲートに上記電流発生手段の電流制御信号が与えられる。

【0010】

【発明の実施の形態】図1は、本発明に係るPLL回路の構成例を示している。図1のPLL回路は、水平同期(HSY NC)信号を入力とし、この信号に同期したラインロッククロック(LLCLK)信号を出力するものであって、10はクロック発振回路、20は位相比較回路、30は低域通過フィルタ(low pass filter: LPF)、40は電圧制御発振器(voltage controlled oscillator: VCO)、60は同期クロック生成回路である。クロック発振回路10は、LLCLK信号として出力させたい周波数を設定するための回路であり、位相比較回路20へ発振クロック信号Aを供給する。位相比較回路20は、発振クロック信号Aと1つのVCOタップ出力T_nとの位相を比較して、LPF30へ位相誤差信号Eを供給する。LPF30は、位相誤差信号EからPLL動作をさせるうえで不要な高い周波数成分を除去してフィルタ出力Fを得る。VCO40は、フィルタ出力Fを制御入力として動作するリングオシレータタイプの発振器であり、n(nは整数)個のVCOタップ出力T₁, T₂, T₃, T₄, ..., T_nを得る。以上の位相比較回路20、LPF30及びVCO40のループが、PLLを実現している。同期クロック生成回路60は、n個のVCOタップ出力T₁~T_nの中から、位相の基準となるHSYNC信号に最も近い位相を持つタップ出力を選択し、これをLLCLK信号として出力する。

【0011】図2は、図1中のVCO40の内部構成例を示している。図2のVCO40は、カレントミラー回路S0と、リング状に接続されたn個の可変遅延回路S₁, S₂, S₃, S₄, ..., S_nとで構成されている。これらn個の可変遅延回路S₁, S₂, S₃, S₄, ..., S_nの各々の出力が、上記VCOタップ出力T₁, T₂, T₃, T₄, ..., T_nである。

【0012】カレントミラー回路S0は、2個のPチャンネル型MOSTランジスタ(PMOSTランジスタ)41, 44と、2個のNチャンネル型MOSTランジスタ(NMOSTランジスタ)42, 43とで構成され、入力側PMOSTランジスタ41のゲートにフィルタ出力Fを受け取り、入力側トランジスタ41, 42に流れる電流にミラー比を乗じた電流が出力側トランジスタ43, 44に流れるようになっている。出力側PMOSTランジスタ44のゲート電圧はPチャンネル電流制御信号PIとして、出力側NMOSTランジスタ43のゲート電圧はNチャンネル電流制御信号NIとしてそれぞれ出力される。ここでは、PMOSTランジスタ41, 44のW(ゲート幅)/L(ゲート長)と、NMOSTランジスタ42, 43のW/Lとが等しく設定されているものとする。

【0013】n個の可変遅延回路S₁, S₂, S₃, S₄, ..., S_nの各々は、第1段CMOSインバータを構成するように互いに直列に接続されたPMOSTランジスタ51及びNMOSTランジスタ52と、第2段CMOSインバータを構成するように互いに直列に接続されたPMOSTランジスタ53及びNMOSTランジスタ54と、PMOSTランジスタ51に直列に接続された遅延制御用PMOSTランジスタ55と、NMOSTランジスタ52に直列に接続された遅延制御用NMOSTランジスタ56とを備えている。遅延制御用PMOSTランジスタ55のゲートにはPチャンネル電流制御信号PIが、遅延制御用NMOSTランジスタ56のゲートにはNチャンネル電流制御信号NIがそれぞれ与えられて、これらの遅延制御用トランジスタ55, 56の各々のオン抵抗がフィルタ出力Fに応じて変化し、ひいては第1段CMOSイン

バータの遅延量が変化するようになっている。

【0014】 $S1 \sim Sn$ の各々の遅延制御用PMOSTランジスタ55の W/L が全て等しいとき、これら n 個のPMOSTランジスタ55に発生するオン抵抗は全て等しくなる。また、 $S1 \sim Sn$ の各々の遅延制御用NMOSTランジスタ56の W/L が全て等しいとき、これら n 個のPMOSTランジスタ56に発生するオン抵抗は全て等しくなる。このことは、例えばフィルタ出力 F の電圧レベルが低下すると、カレントミラー回路 $S0$ を構成する各トランジスタ41～44に流れる電流が増加し、それに比例した形で、 n 個の遅延制御用PMOSTランジスタ55のオン抵抗と、 n 個の遅延制御用NMOSTランジスタ56のオン抵抗とは、それぞれ等しい抵抗値を保持しながら低下することを意味する。

【0015】遅延制御用トランジスタ55、56のオン抵抗が低下すると、第1段CMOSインバータを構成するPMOSTランジスタ51及びNMOSTランジスタ52への供給電流が増加することになるから、その伝播遅延量が減少する。逆に、遅延制御用トランジスタ55、56のオン抵抗が増大すると、PMOSTランジスタ51及びNMOSTランジスタ52への供給電流が減少することになるから、その伝播遅延量が増大する。

【0016】以上のとおり、フィルタ出力 F の電圧レベルの高低に伴い、VCO40の発振周波数は変動する。例えば、フィルタ出力 F の電圧レベルが低い場合には高い周波数へと、逆にフィルタ出力 F の電圧レベルが高い場合には低い周波数へと連続的に変化していく。VCO40の発振周期が T 秒であるものとする、各VCOタップ出力 $T1$ 、 $T2$ 、 $T3$ 、 $T4$ 、 \dots 、 Tn の間にそれぞれ T/n 秒に相当する位相差が生じる。

【0017】図3は、図1中の同期クロック生成回路60の内部構成例を示している。図3の同期クロック生成回路60は、 n 個のDラッチ $L1$ 、 $L2$ 、 $L3$ 、 $L4$ 、 \dots 、 Ln と、 n 個の反転ゲート $I1$ 、 $I2$ 、 $I3$ 、 $I4$ 、 \dots 、 In と、 n 個の3入力論理積ゲート $G1$ 、 $G2$ 、 $G3$ 、 $G4$ 、 \dots 、 Gn と、1個の n 入力論理和ゲート GS とで構成されている。 n 個のVCOタップ出力 $T1 \sim Tn$ は、 n 個のDラッチ $L1 \sim Ln$ の各データ入力に個別に接続される。HSYNC信号は、 n 個のDラッチ $L1 \sim Ln$ の各クロック入力に共通接続される。各DラッチのQ出力を $Q1$ 、 $Q2$ 、 $Q3$ 、 $Q4$ 、 \dots 、 Qn とし、 k を2から n までの任意の整数とすると、3入力論理積ゲート Gk は、 Tk と、 $Qk-1$ の反転と、 Qk とを入力する。他の1個の3入力論理積ゲート $G1$ は、 $T1$ と、 Qn の反転と、 $Q1$ とを入力する。 n 入力論理和ゲート GS は、 n 個の3入力論理積ゲート $G1 \sim Gn$ の各出力の論理和をLLCLK信号として出力する。

【0018】図4は、図3の回路動作を説明するためのタイミング図である。ここでは説明の便宜上、HSYNC信号の立ち上がりエッジが2番目のVCOタップ出力 $T2$ の立ち下がりと3番目のVCOタップ出力 $T3$ の立ち下がりとの間のタイミング(時刻 t)で入力されたものとする。

【0019】図3中の n 個のDラッチ $L1 \sim Ln$ は、時刻 t におけるHSYNC信号の立ち上がりに対応して、それぞれ対応するVCOタップ出力 $T1 \sim Tn$ をラッチする。このラッチ動作の結果が各DラッチのQ出力 $Q1 \sim Qn$ に反映される。ここで、図4のタイミングによれば、時刻 t において $Q2$ の反転と $Q3$ とが共にハイレベルになることが分かる。したがって、3入力論理積ゲート $G3$ は、VCOタップ出力 $T3$ を n 入力論理和ゲート GS へ通過させる。他の $n-1$ 個の3入力論理積ゲートは、VCOタップ出力を除外した2入力の少なくとも一方がローレベルであるので、対応するVCOタップ出力を n 入力論理和ゲート GS へ通過させ得ない。したがって、 n 個のVCOタップ出力 $T1 \sim Tn$ の中から、図4に示すとおり、HSYNC信号に最も近い位相を持つ $T3$ がLLCLK信号として選択される結果、HSYNC信号に同期したLLCLK信号が得られる。

【0020】以上、水平同期(HSYNC)信号に同期したラインロッククロック(LLCLK)信号の生成を説明したが、本発明は任意の基準信号に同期した任意の周波数を持つクロック信号の生成に適用できるものである。

【0021】

【発明の効果】以上説明してきたとおり、本発明によれば、複数の可変遅延回路でリングオシレータを構成し、そのタップ出力の中から基準信号に最も近い位相を持つ出力を選択することとしたので、基準信号に同期したクロック信号を生成し、かつ該基準信号に比して非常に高い逡倍数のクロック信号であってもジッタなどのクロック品質を劣化させずに出力させることができる。

図の説明

【図面の簡単な説明】

【図1】本発明に係るPLL回路の構成例を示すブロック図である。

【図2】図1中のVCOの内部構成例を示す回路図である。

【図3】図1中の同期クロック生成回路の内部構成例を示す回路図である。

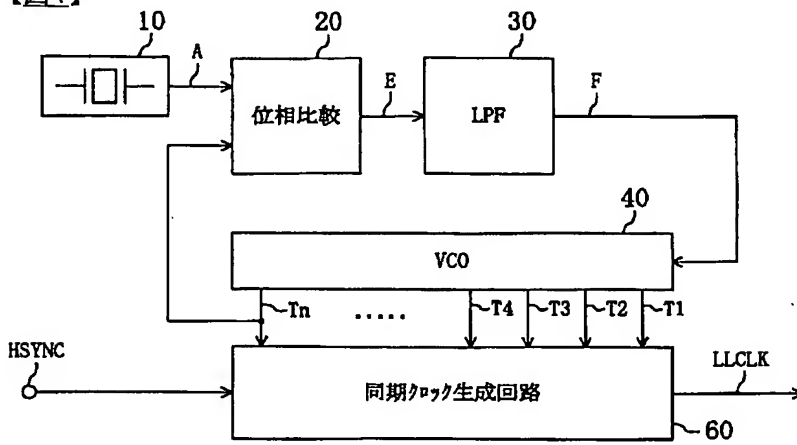
【図4】図3の回路動作を説明するためのタイミング図である。

【符号の説明】

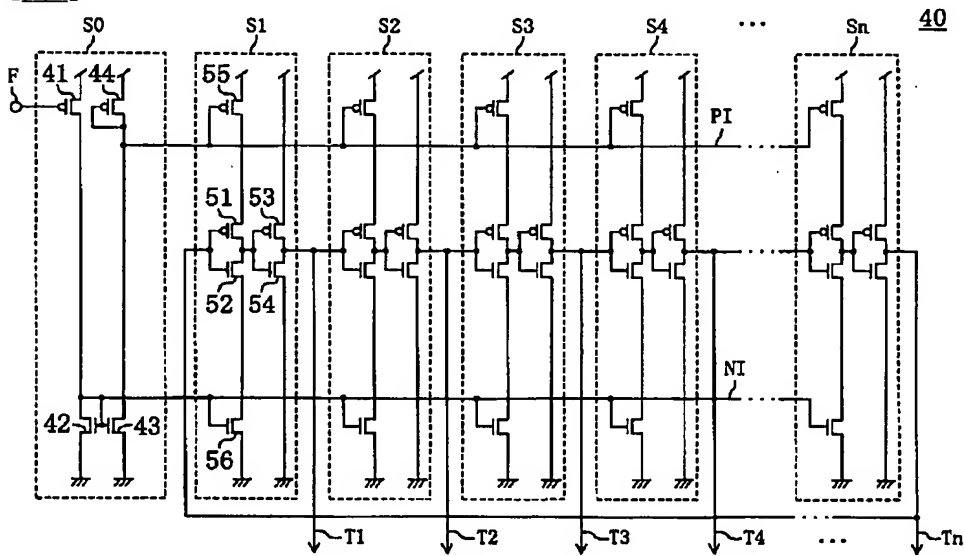
10 クロック発振回路
20 位相比較回路
30 低域通過フィルタ(LPF)
40 電圧制御発振器(VCO)
41, 44 PMOSTランジスタ
42, 43 NMOSTランジスタ
51, 53 PMOSTランジスタ
52, 54 NMOSTランジスタ
55 遅延制御用PMOSTランジスタ
56 遅延制御用NMOSTランジスタ
60 同期クロック生成回路
A 発振クロック信号
E 位相誤差信号
F フィルタ出力
G1~Gn 3入力論理積ゲート
GS n入力論理和ゲート
HSYNC 水平同期信号
I1~In 反転ゲート
LLCLK ラインロッククロック信号
L1~Ln Dラッチ
NI Nチャネル電流制御信号
PI Pチャネル電流制御信号
Q1~Qn DラッチのQ出力
S0 カレントミラー回路
S1~Sn 可変遅延回路
T1~Tn VCOタップ出力

図面

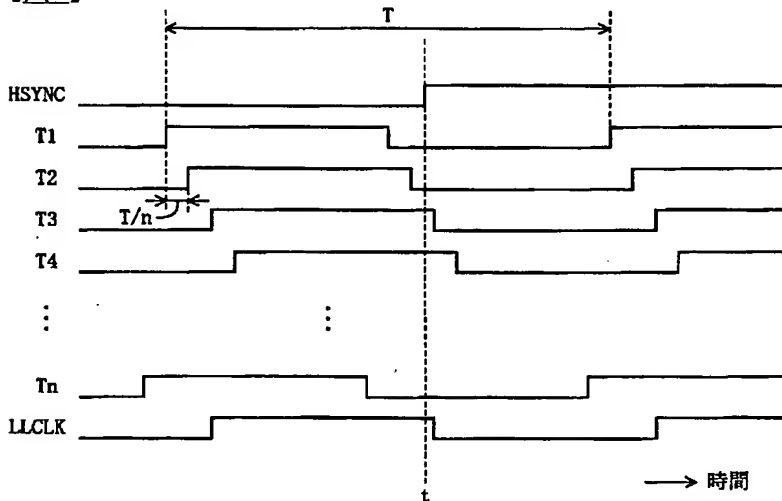
【図1】



【図2】



【図4】



【図3】

